

**CEVAP 1:**

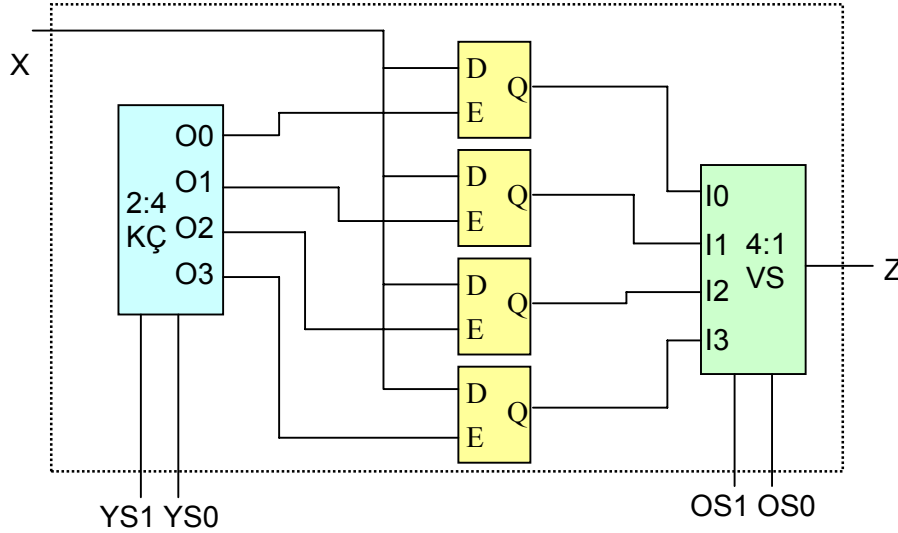
a)  $f_1(a,b,c)=abc' + b'c = abc' + ab'c + a'b'c$   
 $f_2(a,b,c)=b'c' + bc = ab'c' + a'b'c' + abc + a'bc$   
 $f_3(a,b,c)=a'bc' + ab' = a'bc' + ab'c + ab'c'$

15 PUAN

3:8 Kod çözücü kullanılacaktır. Kod çözücünün çıkışları sırasıyla şu minterimlere karşı düşmektedir:  $a'b'c'$ ,  $a'b'c$ ,  $a'bc'$ ,  $a'bc$ ,  $ab'c'$ ,  $ab'c$ ,  $abc'$ ,  $abc$ .

Buna göre yukarıdaki fonksiyonları gerçekleştirmek için gerekli olan çıkışlar VEYA kapıları ile bağlanarak devre çizilir.

b) Burada kod çözücü hangi tutucuya yazılacağını (yani izin verileceğini), veri seçici ise hangi tutucunun içeriğinin çıkışa aktarılacağını belirler. Buna göre devre aşağıdaki gibi çizilir:



15 PUAN

**CEVAP 2: a)**  $Q2^+Q1^+Q0^+$   $X$

$Q2Q1Q0$	0	1
000	011	001
001	100	010
010	000	011
011	001	100
100	010	000
101	$\emptyset\emptyset\emptyset$	$\emptyset\emptyset\emptyset$
110	$\emptyset\emptyset\emptyset$	$\emptyset\emptyset\emptyset$
111	$\emptyset\emptyset\emptyset$	$\emptyset\emptyset\emptyset$

Sayıcı Moore modeline göre tasarlanır.

Çıkışlar:  
 $Z2=Q2$   
 $Z1=Q1$   
 $Z0=Q0$

5 PUAN

**b)**

$Q2^+$

$Q2Q1$	00	01	11	10
00	0	0	0	1
01	0	0	1	0
11	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$
10	0	0	$\emptyset$	$\emptyset$

$Q1^+$

$Q2Q1$	00	01	11	10
00	1	0	1	0
01	0	1	0	0
11	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$
10	1	0	$\emptyset$	$\emptyset$

$Q0^+$

$Q2Q1$	00	01	11	10
00	1	1	0	0
01	0	1	0	1
11	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$
10	0	0	$\emptyset$	$\emptyset$

$T2$

$Q2Q1$	00	01	11	10
00	0	0	0	1
01	0	0	1	0
11	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$
10	1	1	$\emptyset$	$\emptyset$

$T1$

$Q2Q1$	00	01	11	10
00	1	0	1	0
01	1	0	1	1
11	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$
10	1	0	$\emptyset$	$\emptyset$

$T0$

$Q2Q1$	00	01	11	10
00	1	1	1	1
01	0	1	1	0
11	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$
10	0	0	$\emptyset$	$\emptyset$

$T2 = Q2 + Q1Q0X + Q1'Q0X'$

$T1 = Q0'X' + Q0X + Q1Q0$

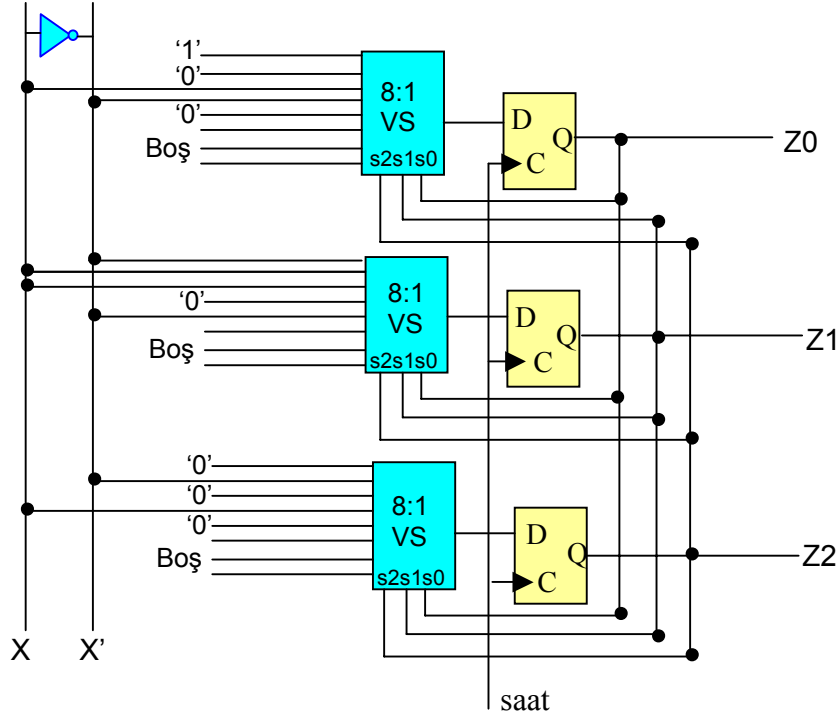
$T0 = Q2'Q1' + Q2'X$

Yukarıda bulunan T ifadelerine göre devre çizilir.

15 PUAN

c) D flip-flopları ve veri seçiciler ile tasarım yaparken Karnaugh tablolarını yeniden oluşturmaya gerek yoktur, sadece durum tablosunu kullanmak yeterlidir. Üç durum değişkeni olduğuna göre 8:1 veri seçiciler kullanılır ve veri seçicilerin seçme uçlarına durum değişkenleri bağlanır.

a) şıkkındaki durum tablosunun satırlarına bakılarak veri seçicilerin girişlerine gelecek olan değerler belirlenir.



5 PUAN

d)

b) şıkkı için: 5 durumu  $Q_2Q_1Q_0 = 101$  durumudur. Burdan hangi duruma gidileceği T değerleri belirlenirken 0'lerin nasıl seçildiğine bağlıdır. Bunu T ifadelerinin belirlendiği tablolardan anlayabiliriz ya da T ifadelerine 101 değerini koyarak hesaplayabiliriz. Buna göre 101 durumunda:

$X=0$  için

$T_2 = 1$  demek ki  $Q_2$  değer değiştirecek yani  $Q_2^+ = 0$

$T_1 = 0$  demek ki  $Q_1$  değer değiştirmeyecek yani  $Q_1^+ = 0$

$T_0 = 0$  demek ki  $Q_0$  değer değiştirmeyecek yani  $Q_0^+ = 1$

001 durumuna geçilir.

$X=1$  için

$T_2 = 1$  demek ki  $Q_2$  değer değiştirecek yani  $Q_2^+ = 0$

$T_1 = 1$  demek ki  $Q_1$  değer değiştirecek yani  $Q_1^+ = 1$

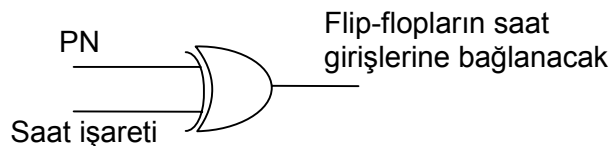
$T_0 = 0$  demek ki  $Q_0$  değer değiştirmeyecek yani  $Q_0^+ = 1$

011 durumuna geçilir.

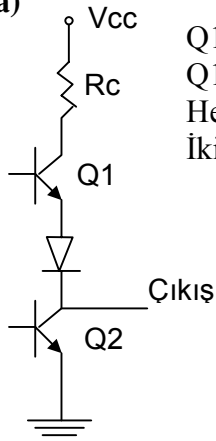
10 PUAN

c) şıkkı için: 5 durumu  $Q_2Q_1Q_0 = 101$  durumudur. Burdan hangi duruma gidileceği veri seçicilerin 5 no.lu girişlerine ne bağlandığına bağlıdır. Boş bırakılan girişler lojik 1 olarak değerlendirildiğinden yukarıdaki tasarımda hem  $X=0$  hem de  $X=1$  için 111 durumunda geçilir.

e)  $PN=0$  olduğunda saat işaretinin kendisi,  $PN=1$  olduğunda saat işaretinin tümleyeninin devreye uygulanması isteniyor. Bu işlem en basit olarak bir YA DA bağlacı ile gerçekleştirilebilir.



5 PUAN

**CEVAP 3:****a)**

Q1 iletimde, Q2 kesimdeyken çıkış  $V_{cc}$ 'ye yakın bir değer, yani lojik 1 olur.  
Q1 kesimde, Q2 iletimdeyken çıkış yaklaşık 0.2V, yani lojik 0 olur.  
Her iki tranzistor da kesimdeyse çıkış yüksek empedans durumunda olur.  
İki tranzistor aynı anda iletimde olamaz.

**15 PUAN**

**b)** Bir lojik elemanın çıkışına çok sayıda eleman bağlanması durumunda bu elemanın çıkışından akan akım miktarı artar. Bu da elemanın doğru şekilde çalışmasını engeller.  
Çıkış lojik 0'dayken Q2 iletimdedir. Dışardan gelen akım bu tranzistor üzerinden toprağa akar. Akımın artması durumunda Q2'nin iç direnci nedeniyle buradaki gerilim de artar  $V=R \cdot I$ . Böylece çıkış gerilimi lojik 0 değerini aşmaya başlar.  
Çıkış lojik 1'deyken Q1 iletimdedir. Çıkış akımı bu tranzistor üzerinden dışarıya doğru akar. Çekilen akımın artması durumunda Q1'in iç direnci ve  $R_c$  direnci nedeniyle buradaki gerilim de artar. Bu gerilim  $V_c$  den çıkarılacağı için çıkıştaki gerilim azalır ve lojik 1 değerinin altına düşmeye başlar.

**15 PUAN**