

SAYISAL ELEMANLARIN İÇ YAPILARI

Sayısal tümdevrelerin gerçekleşmesinde çeşitli tipte transistörler kullanılır. İlk olarak bipolar tipteki transistörler tanıtılacaktır.

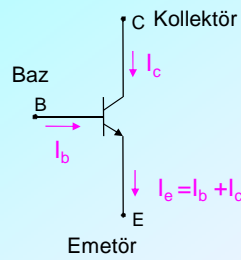
Bipolar Transistör:

Sayısal tümdevrelerde transistörler bir anahtar elemanı olarak kullanılırlar.

Bu nedenle transistörler ya iletimde (anahtar akım iletiyor) (ON) ya da kesimde (anahtar akım iletmiyor) (OFF) bulunurlar.

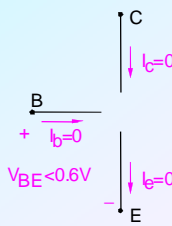
Bipolar transistörün iletimde olduğu duruma transistör doymada (*saturated*) denir.

Bipolar Transistör:



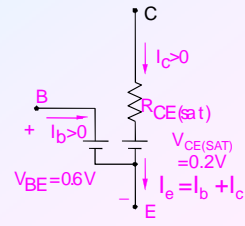
Transistör kesimde (OFF)

$$V_{BE} < 0.6V$$

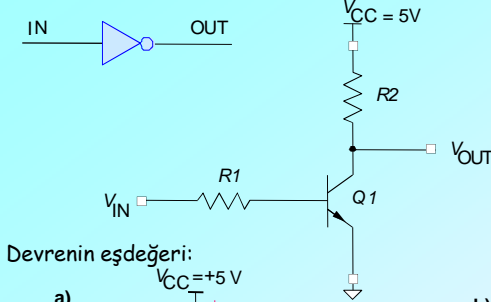
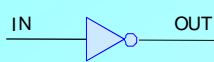


Transistör doymada (ON)

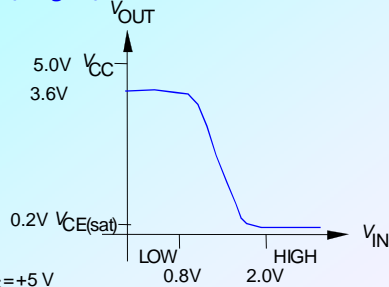
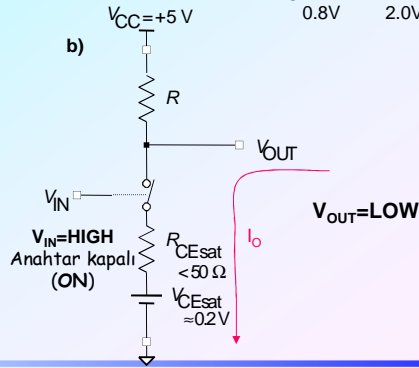
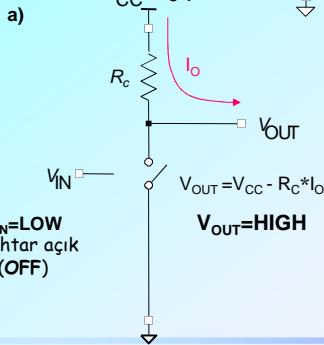
$$V_{BE} \geq 0.6V$$



Bir Tümlenme kapısının transistör ve dirençle gerçekleştirilmesi



Devrenin eşdeğeri:



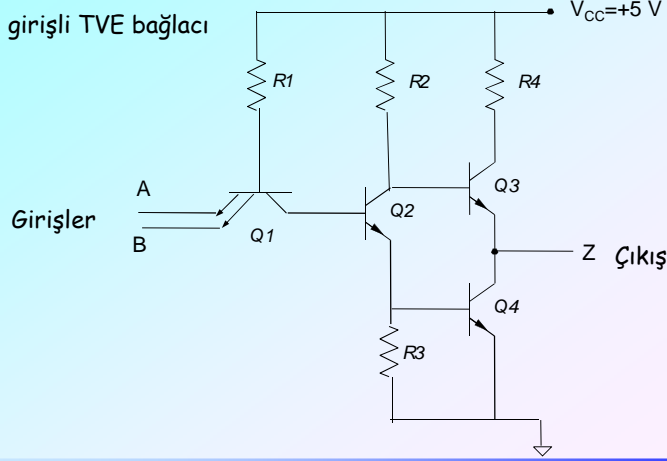
TTL (Transistör- Transistör) Lojiği Ailesi

Bipolar transistörler ve dirençler kullanılır.

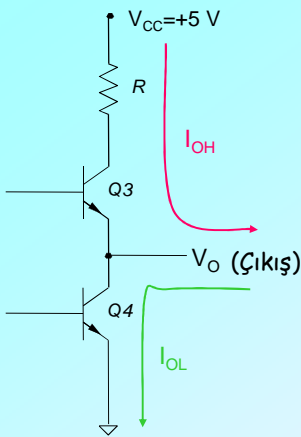
Günümüzde sayısal devreler büyük ölçüde TTL yerine CMOS teknolojisi ile gerçekleştirilmektedir.

Laboratuvarlarda hala TTL elemanlarla karşılaşmanız mümkün olduğundan bu ailenin elemanlarının da temel özellikleri ele alınacaktır.

Örnek: İki girişli TVE bağlacı



TTL Çıkış Katının Çalışması



Çıkışın lojik 0 (LOW) olması için Q₄ iletimde, Q₃ kesimde olur.

Bu durumda bağlacın çıkışından içeriye doğru I_{OL} akımı akar.

$$V_{OL} = V_{CE(Q4)} + I_{OL} \cdot R_{Q4}$$

Çıkışın lojik 1 (HIGH) olması için Q₃ iletimde, Q₄ kesimde olur.

Bu durumda bağlacın çıkışından dışarıya doğru I_{OH} akımı akar.

$$V_{OH} = V_{CC} - (V_{CE(Q3)} + I_{OH} \cdot (R + R_{Q3}))$$

Hem Q₃ hem de Q₄ kesimde olursa **çıkış yüksek empedans (high Z) konumunda** (3. konum) olur.

Bu durumda bağlacın çıkışından akım akmaz ve bağlaç bağlandığı hattan yalıtılmış olur.

TTL elemanlar için $V_{OL(MAX)} = 0.4V$ $V_{OH(MIN)} = 2.4V$

TTL ailesinde değişik tipte elemanlar vardır (LS, ALS, L, F gibi). Bunların her biri için akım değerleri farklıdır. Bu değerler kataloglardan öğrenilebilir.

TTL Ailesi Lojik Gerilim Düzeyleri

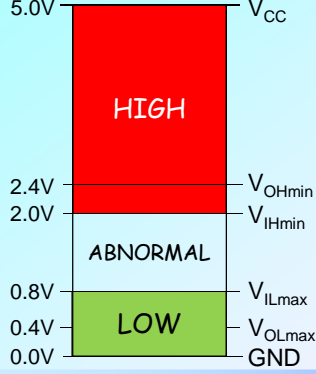
Soyut lojik elemanlar (VE, VEYA vs.) ikili sayıları (0 ve 1) işlerler.

Ancak gerçek lojik devreler elektriksel işaretleri, örneğin gerilim düzeyi, ile çalışırlar.

Her lojik ailenin lojik 0 ve lojik 1 olarak kabul ettikleri gerilim düzeyi aralıkları vardır. Bu aralıklar birbirleri ile örtüşmezler.

TTL devreler 5 voltluk gerilim kaynağı ile beslenirler ($V_{CC}=5V$).

Standart bir TTL elemanın lojik gerilim düzeyleri:



V_{OHmin} : HIGH konumundaki bir elemanın çıkışında oluşan en küçük gerilim değeri.

V_{IHmin} : Bir elemanın girişinde HIGH olarak kabul edebileceği en düşük gerilim değeri.

V_{ILmax} : Bir elemanın girişinde LOW olarak kabul edebileceği en yüksek gerilim değeri.

V_{OLmax} : LOW konumundaki bir elemanın çıkışında oluşan en yüksek gerilim değeri.

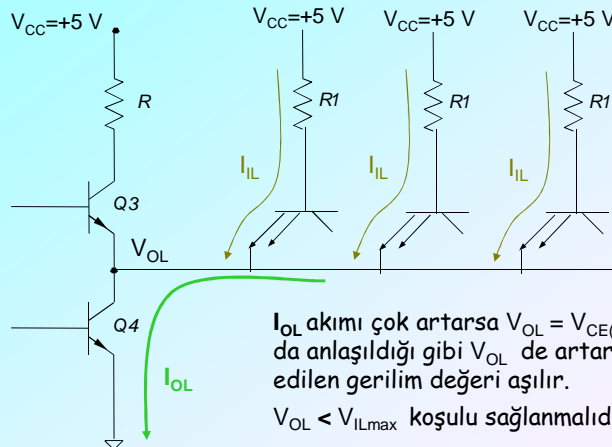
TTL Çıkış Yelpazesi (Fan Out)

Bir lojik bağlacın çıkışı diğer lojik bağlaçların girişlerine bağlanmaktadır.

Akım olaylarından dolayı bir elemanın çıkışına bağlanabilecek eleman sayısı (çıkış yelpazesi) sınırlıdır.

TTL elemanların girişleri transistörlerin emetörlerinden oluşmaktadır.

Çıkış LOW olduğunda:



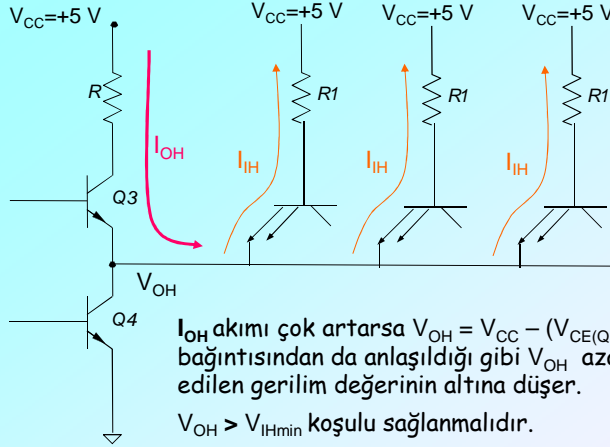
Girişi LOW olan elemanların girişinden dışarıya doğru I_{IL} akımı akar.

Bu akımların toplamı diğer elemanın çıkışı tarafından yutulmaktadır.

$$I_{OL} < \sum I_{IL}$$

I_{OL} akımı çok artarsa $V_{OL} = V_{CE(Q4)} + I_{OL} * R_{Q4}$ bağıntısından da anlaşıldığı gibi V_{OL} de artar ve lojik '0' olarak kabul edilen gerilim değeri aşılır.

$V_{OL} < V_{ILmax}$ koşulu sağlanmalıdır.

Çıkış HIGH olduğunda:

Girişi HIGH olan elemanların girişinden içeriye doğru I_{IH} akımı akar.

Bu akımların toplamı diğer elemanın çıkışından çekilecektir.

$I_{OH} < \sum I_{IH}$

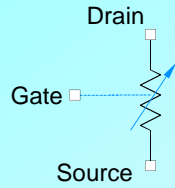
Bir elemanın çıkış yelpazesi, LOW ve HIGH konumları için hesaplanan değerlerden küçük olana eşittir.

TTL elemanlara ait V_{OH} , V_{OL} , V_{IH} , V_{IL} , I_{OH} , I_{OL} , I_{IH} , I_{IL} gibi değerler bu elemanların kataloglarında yer almaktadır.

CMOS (Complementary MOS) Lojiği Ailesi

MOS FET (Metal-Oxide Semiconductor Field-Effect Transistör) kullanılır.

Lojik bağlaçlarda kullanılan MOS transistörler birer ayarlı direnç gibi düşünülebilir.



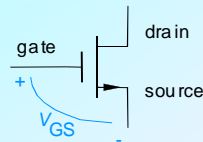
Gate-Source (V_{GS}) arasına uygulanan gerilime göre Drain Source (R_{DS}) arasındaki direnç değişir.

Transistör tıkamadayken $R_{DS} \geq 1\text{ M}\Omega$

Transistör iletimdeyken $R_{DS} \leq 10\Omega$

İki tip MOS transistör vardır.

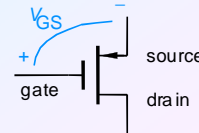
a) n kanallı MOS: NMOS.



V_{GS} arttıkça R_{DS} direnci azalır.

Normalde: $V_{GS} \geq 0\text{ V}$

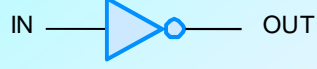
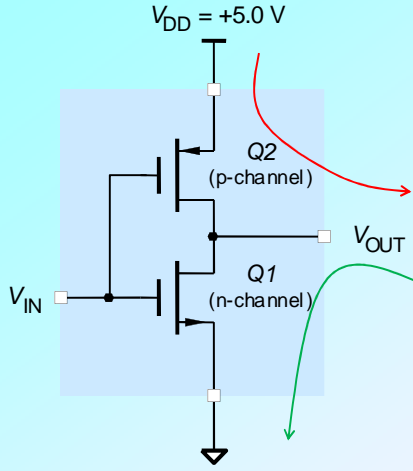
b) p kanallı MOS: PMOS.



V_{GS} azaldıkça R_{DS} direnci azalır.

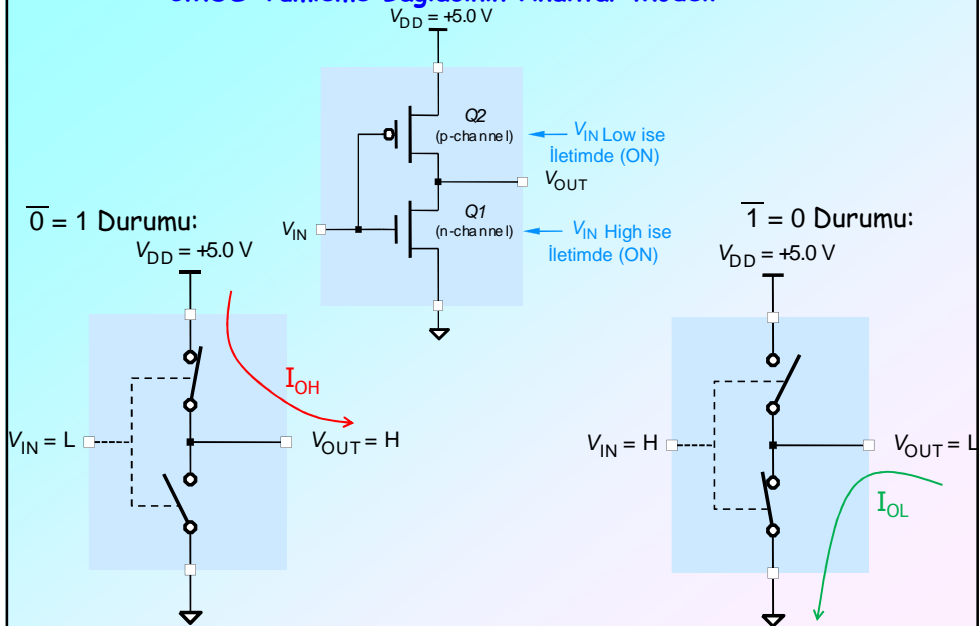
Normalde: $V_{GS} \leq 0\text{ V}$

CMOS Tümeleme Bağlacı

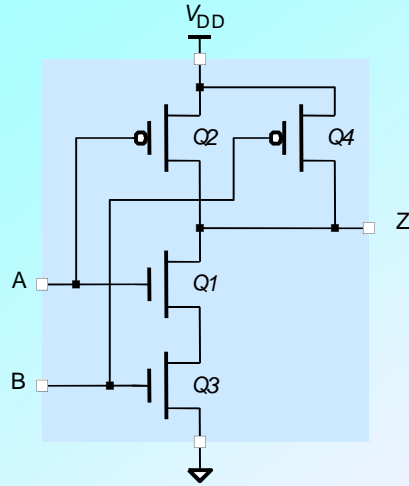


V_{IN}	Q1	Q2	V_{OUT}
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)

CMOS Tümeleme Bağlacının Anahtar Modeli

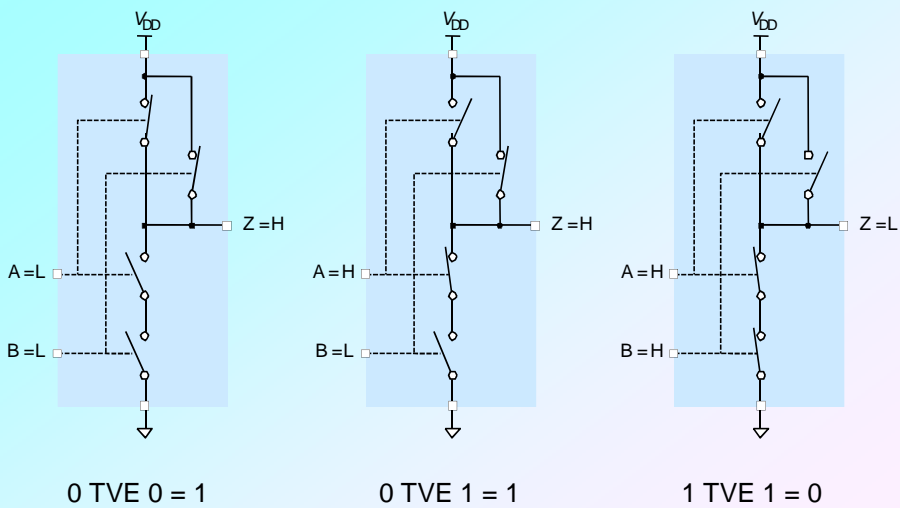


CMOS TVE (NAND) Bağlacı

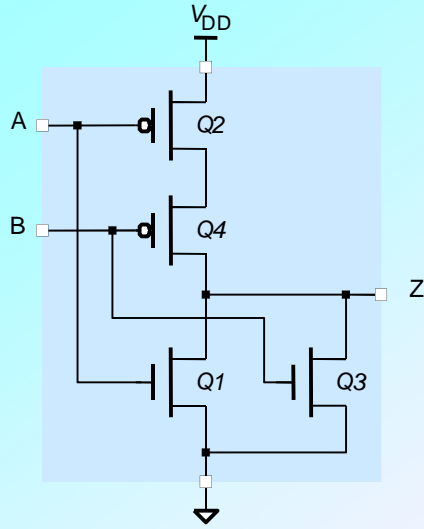


A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	H
H	L	on	off	off	on	H
H	H	on	off	on	off	L

CMOS TVE (NAND) Bağlacı Anahtar Modeli



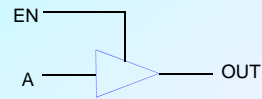
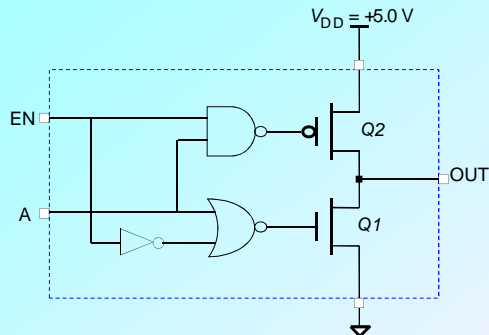
CMOS TVEYA (NOR) Bağlacı



A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	L
H	L	on	off	off	on	L
H	H	on	off	on	off	L

Üç konumlu CMOS Sürücü (Three-state Buffer)

Hatırlatma: **yüksek empedans (Hi-Z)** konumunda (üçüncü konum da denir) olan çıkış devreden yalıtılmış (bağlı değilmiş gibi) olur.



IF EN=HIGH THEN OUT=A
IF EN=LOW THEN OUT= Hi-Z

EN	A	Q1	Q2	OUT
L	L	off	off	Hi-Z
L	H	off	off	Hi-Z
H	L	on	on	L
H	H	off	on	H

Diyagramı basitleştirmek için NAND, NOR ve NOT işlemleri transistörler yerine soyut kapılar şeklinde gösterilmiştir.

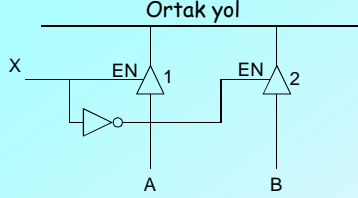
Gerçekte bu elemanlar 10 adet transistör ile gerçekleştirilir.

Üç Konumlu Ortak Yol (Three-state Common Bus)

Üç konumlu kapıların çıkışları bir ortak yol oluşturacak şekilde birbirlerine bağlanabilirler.

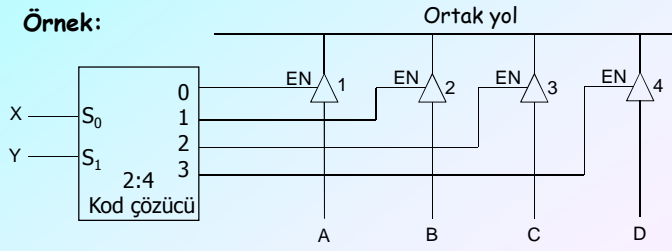
Belli bir anda sadece bir birim etkinleşip yolu sürebilir.

Örnek:



If $X=0$ sürücü #2 etkindir. B yola çıkar.
If $X=1$ sürücü #1 etkindir. A yola çıkar.

Örnek:



Y	X	Yol
0	0	A
0	1	B
1	0	C
1	1	D

CMOS Lojik Gerilim Düzeyleri

CMOS devreler 5 volttan daha düşük gerilim kaynakları ile de beslenebilirler.

Lojik gerilim düzeyleri gerilim kaynağının voltajına bağlı olarak değişir.

