



**T.C.  
KOCAELİ ÜNİVERSİTESİ**

**TEKNOLOJİ FAKÜLTESİ  
BİLİŞİM SİSTEMLERİ MÜHENDİSLİĞİ**

Yrd. Doç. Dr. Mustafa H.B. UÇAR

# 2. HAFTA

Yrd. Doç. Dr. Mustafa Hikmet Bilgehan UÇAR

- Entegre Yapıları
- Lojik Kapılar
- Lojik Devreler ve İfadeler
- Boolean Matematiği

# ENTEĞRE DEVRELER

- ✓ Entegre, elektronikte tek başına kullanılan bir çok eleman birleştirilerek bir paket içine yerleştirilmesi, belirli giriş-çıkış pinlerinin bu paket kenarlarına dizilmesi sonucu oluşan tümleşik devredir.
- ✓ Elektronikte entegreler (chip, Integrated Circuit – IC) dijital ve analog sistemlere göre tasarlanabilir.

# LOJİK ENTEGRELER

- ✓ Lojik entegreler içerdiği kapı adedine göre SSI, MSI, LSI, VLSI olarak sınıflandırılır.
  - ✓ SSI – Small Scale Integration (<12)
  - ✓ MSI – Medium Scale Integration (12-99)
  - ✓ LSI – Large Scale Integration (100-999)
  - ✓ VLSI – Very Large Scale Integration (>1000)
  
- ✓ Kapı adedinden daha yaygın olan diğer bir sınıflandırma içyapılarına ve üretim teknolojilerine göre yapılır.
  - ✓ RDL - Resistor Diode Logic
  - ✓ RTL - Resistor Transistor Logic
  - ✓ DTL - Diode Transistor Logic
  - ✓ HTL - High Threshold Logic
  - ✓ TTL - Transistor Transistor Logic
  - ✓ ECL - Emitter Coupled Logic
  - ✓ CMOS - Complementary Metal Oxide Semiconductor
  - ✓ I2L - Integrated Injection Logic

# TTL ENTEGRE AİLESİ

- ✓ Günümüzde en yaygın olarak kullanılan dijital entegre ailesidir.
- ✓ TTL 'de çok emiterli transistörler kullanılmıştır.
- ✓ Bundan dolayı TTL entegreler hızlı çalışır.
- ✓ değerlerine göre çıkış uçlarında Lojik 1 veya Lojik 0 gözlenir.
- ✓ Bütün TTL entegreler +5V besleme voltajı ile çalışır.
- ✓ Alt gruplarında hız ve güç açısından çeşitli farklılıklar vardır.
- ✓ TTL entegrelerin girişi;
  - ✓ 0 - 0,8 Volt aralığında lojik 0,
  - ✓ 2 – 5 Volt aralığında lojik 1 olarak algılanır.
- ✓ TTL entegreler 74xx ve 54xx serilerinde imal edilirler.
- ✓ Bütün kapı entegrelerinde giriş uçlarına uygulanan Lojik 1 veya Lojik 0 değerlerine göre çıkış uçlarında Lojik 1 veya Lojik 0 gözlenir.

# CMOS ENTEGRE AİLESİ

- ✓ CMOS (Complementary Metal Oxide Semiconductor - Tamamlayıcı Metal Oksit Yarı İletken) lojik ailesi, mantık fonksiyonları oluşturacak şekilde birbirine bağlı her iki tip (hem n-kanallı, hem de p-kanallı) MOS elemanından oluşmaktadır.
- ✓ MOS, FET üretiminde kullanılan bir teknolojidir.
- ✓ CMOS mantık ailesinin, güç tüketimi son derece düşüktür ve genellikle 10 nW civarındadır.
- ✓ CMOS mantığı, genellikle 5 - 15V aralığında tek kaynaklı çalışma için tanımlanır, ancak bazı devreler 3V veya 18V düzeyinde çalıştırılabilir.
- ✓ CMOS 'un yüksek kaynak gerilim değerlerinde çalıştırılması daha büyük bir güç kaybına neden olur.
- ✓ **CMOS 'un düşük güç tüketimi, yüksek gürültü bağışıklığı, yüksek paketleme yoğunluğu ve geniş kaynak gerilimleri aralığı gibi avantajlarından dolayı en yaygın kullanılan lojik entegrelerdendir.**
- ✓ CMOS entegreler yüksek frekanslarda kullanılmazlar.
- ✓ Giriş gerilimleri besleme gerilimini aşmamalıdır. Besleme yokken entegrenin girişine sinyal uygulanmamalıdır.

# LOJİK KAPILAR (LOGIC GATES)

## ✓ VE KAPISI (AND GATE)

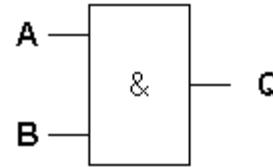
- ✓ VE kapısı, tüm girişleri Lojik 1 olduğunda çıkışı Lojik 1 olur. Girişlerden herhangi biri Lojik 0 ise çıkış Lojik 0'dır.
- ✓ TTL yapıdaki 7408 ve CMOS 4081 entegrelerinde iki girişli dört AND kapısı mevcuttur.



Sembolü

$$Q = A \cdot B$$

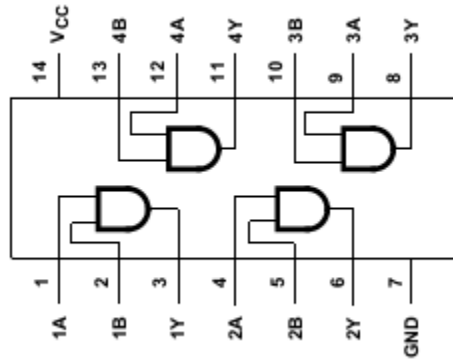
Çıkış Denklemi



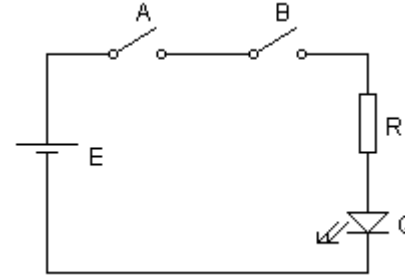
DIN Sembolü

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

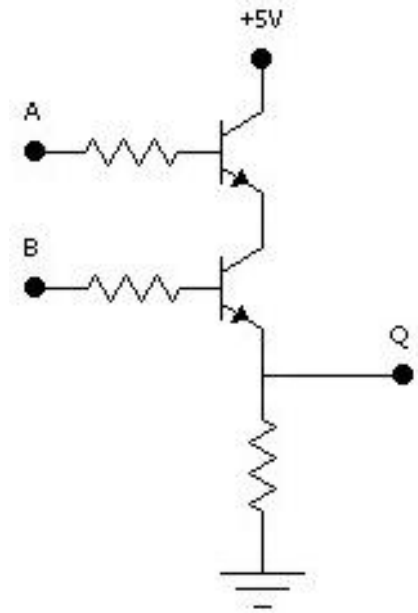
Doğruluk Tablosu



7408 Entegresi



Elektriksel Eşdevresi



İç Yapısı

# LOJİK KAPILAR (LOGIC GATES)

## ✓ VE KAPISI (AND GATE)

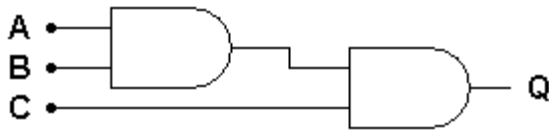
- ✓ VE kapısı giriş sayısı ihtiyaca göre arttırılabilir.
- ✓ 7411 entegresi 3 girişli, 7421 entegresi ise 4 girişli VE kapılarıdır.



3 Girişli Sembolü

$$Q = A \cdot B \cdot C$$

Çıkış Denklemi



2 girişli VE kapılarından  
3 girişli VE kapısının elde edilmesi

A	B	C	Q
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

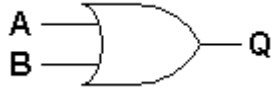
Doğruluk Tablosu



# LOJİK KAPILAR (LOGIC GATES)

## ✓ VEYA KAPISI (OR GATE)

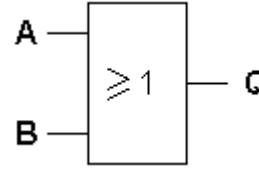
- ✓ VEYA kapısı, girişlerden herhangi biri Lojik 1 olduğunda çıkışı Lojik 1 olur. Girişlerin tamamı Lojik 0 ise çıkış Lojik 0'dır.
- ✓ TTL yapıdaki 7432 ve CMOS 4071 entegrelerinde iki girişli dört OR kapısı mevcuttur.



Sembolü

$$Q = A + B$$

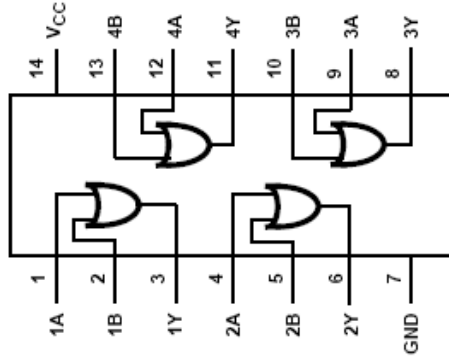
Çıkış Denklemi



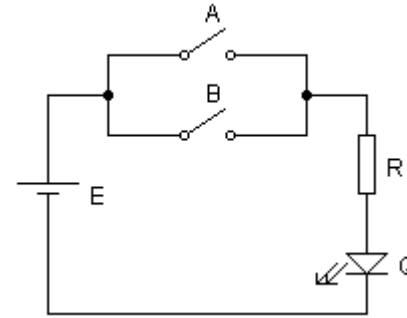
DIN Sembolü

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

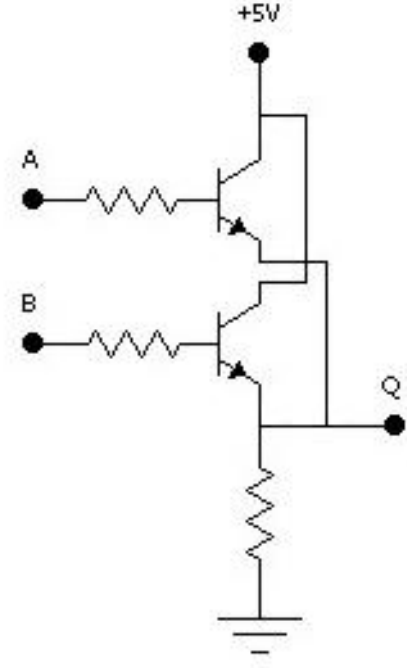
Doğruluk Tablosu



7432 Entegresi



Elektriksel Eşdevresi

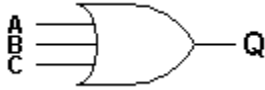


İç Yapısı

# LOJİK KAPILAR (LOGIC GATES)

## ✓ VEYA KAPISI (OR GATE)

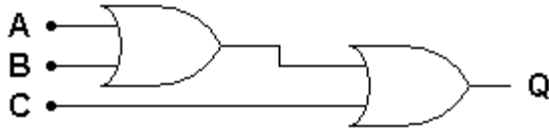
- ✓ VEYA kapısı giriş sayısı ihtiyaca göre arttırılabilir.
- ✓ 4075 entegresi 3 girişli, 4072 entegresi ise 4 girişli VEYA kapılarıdır.



3 Girişli Sembolü

$$Q = A + B + C$$

Çıkış Denklemi



2 girişli VEYA kapılarından  
3 girişli VEYA kapısının elde edilmesi

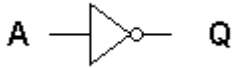
A	B	C	Q
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Doğruluk Tablosu

# LOJİK KAPILAR (LOGIC GATES)

## ✓ DEĞİL KAPISI (NOT GATE)

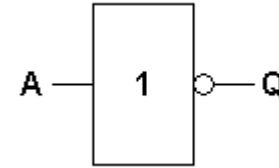
- ✓ DEĞİL kapısı, bir giriş bir çıkıştan oluşur.
- ✓ Girişine uygulanan Lojik değerın tersini çıkışa verir.
- ✓ TTL yapısındaki 7404 ve CMOS 4069 entegreleri iç yapısında 6 adet DEĞİL kapısı bulundurlar.



Sembolü

$$Q = A' = \bar{A}$$

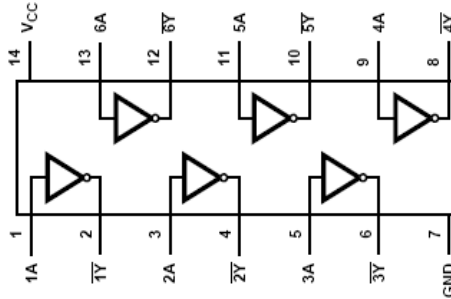
Çıkış Denklemi



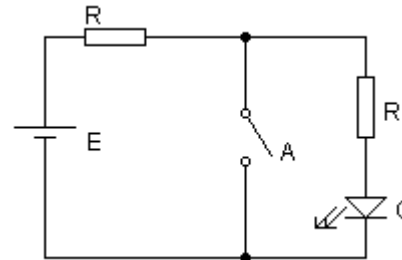
DIN Sembolü

A	Q
0	1
1	0

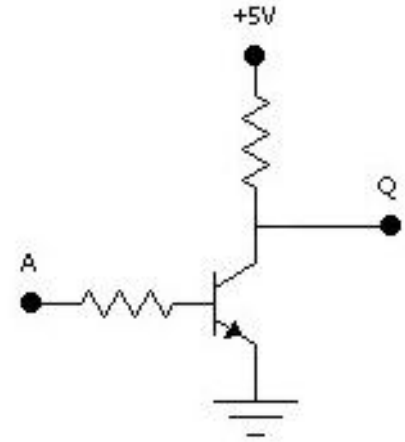
Doğruluk Tablosu



7404 Entegresi



Elektriksel Eşdevresi



İç Yapısı

# LOJİK KAPILAR (LOGIC GATES)

## ✓ VEDEĞİL KAPISI (NAND GATE)

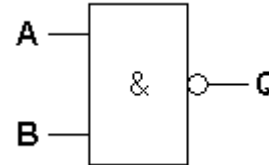
- ✓ VEDEĞİL kapısı VE kapısı çıkışına DEĞİL kapısının eklenmesiyle oluşur.
- ✓ VE kapısında elde edilen çıkışların tam tersi elde edilir.
- ✓ TTL yapıdaki 7400 ve CMOS 4011 entegrelerinde iki girişli dört NAND kapısı mevcuttur.



Sembolü

$$Q = \overline{A \cdot B}$$

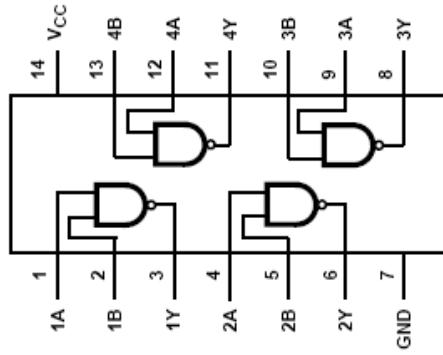
Çıkış Denklemi



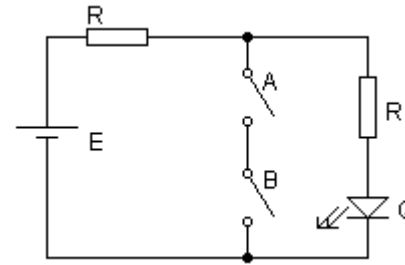
DIN Sembolü

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

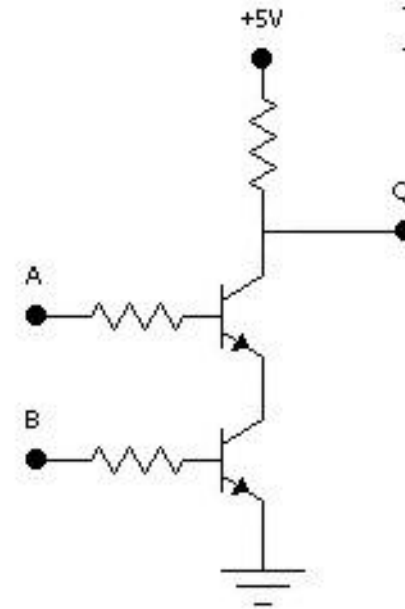
Doğruluk Tablosu



7400 Entegresi



Elektriksel Eşdevresi

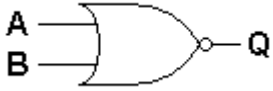


İç Yapısı

# LOJİK KAPILAR (LOGIC GATES)

## ✓ VEYADEĞİL KAPISI (NOR GATE)

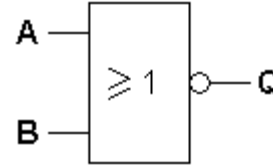
- ✓ VEYADEĞİL kapısı VEYA kapısı çıkışına DEĞİL kapısının eklenmesiyle oluşur.
- ✓ VEYA kapısında elde edilen çıkışların tam tersi elde edilir.
- ✓ TTL yapıdaki 7402 ve CMOS 4001 entegrelerinde iki girişli dört NAND kapısı mevcuttur.



Sembolü

$$Q = \overline{A + B}$$

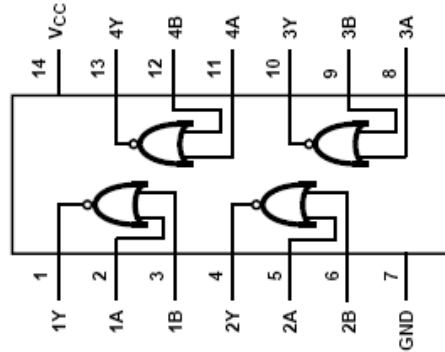
Çıkış Denklemi



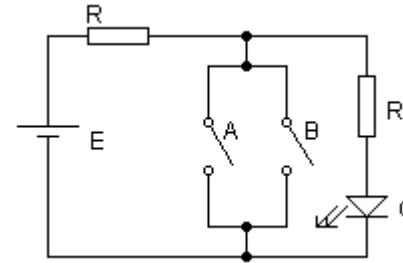
DIN Sembolü

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

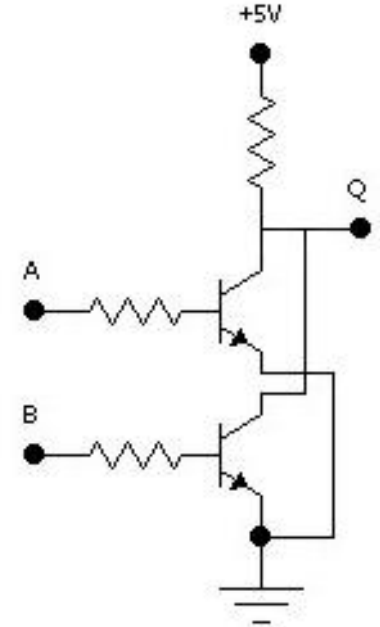
Doğruluk Tablosu



7402 Entegresi



Elektriksel Eşdevresi

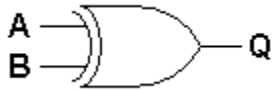


İç Yapısı

# LOJİK KAPILAR (LOGIC GATES)

## ✓ ÖZEL VEYA KAPISI (EXOR GATE)

- ✓ Girişleri farklı olduğunda çıkış Lojik 1, girişleri aynı olduğunda ise çıkış Lojik 0 olur. Bu sebeple farklılık kapısı olarak da adlandırılır.
- ✓ TTL yapıdaki 7486 ve CMOS 4030 entegrelerinde iki girişli dört EXOR kapısı mevcuttur.



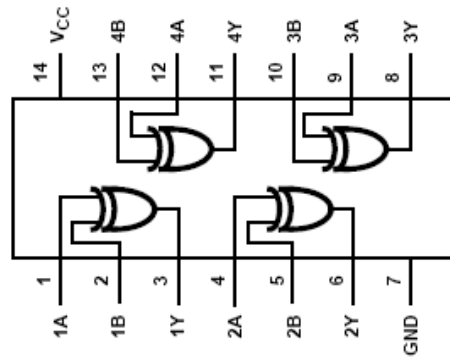
Sembolü

$$Q = A \oplus B$$

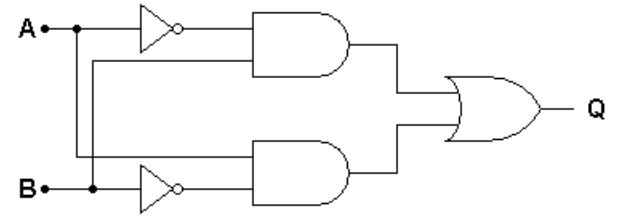
Çıkış Denklemi

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Doğruluk Tablosu



7486 Entegresi

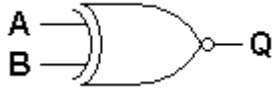


Eş Devresi

# LOJİK KAPILAR (LOGIC GATES)

## ✓ ÖZEL VEYA DEĞİL KAPISI (EXNOR GATE)

- ✓ Girişleri farklı olduğunda çıkış Lojik 0, girişleri aynı olduğunda ise çıkış Lojik 1 olur. Bu sebeple benzerlik kapısı olarak da adlandırılır.
- ✓ TTL yapıdaki 74266 ve CMOS 4077 entegrelerinde iki girişli dört EXOR kapısı mevcuttur.



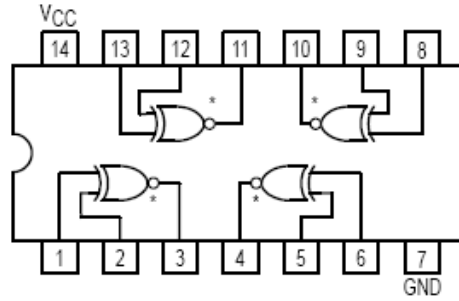
Sembolü

$$Q = \overline{A \oplus B}$$

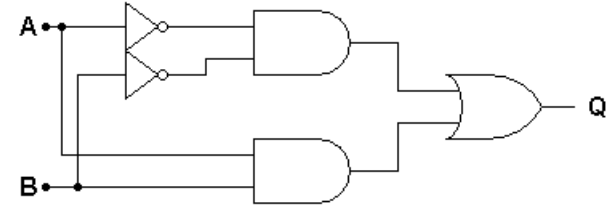
Çıkış Denklemi

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	1

Doğruluk Tablosu



74266 Entegresi

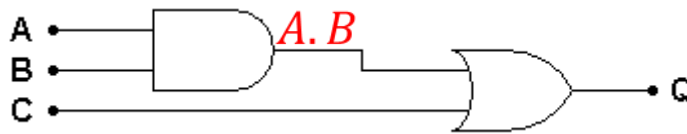


Eş Devresi

# LOJİK DEVRELER VE İFADELER

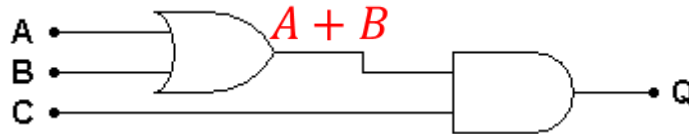
- ✓ Dijital elektronik entegreleri birbirine ardı ardına bağlı lojik kapı devrelerinden oluşurlar.
- ✓ Lojik devrelerde aynı türden lojik kapıların bir arada bulunabileceği farklı türden lojik kapılar da bir entegre içerisinde yer alabilir.
- ✓ Bu anlamda lojik devreleri bir mantıksal ifade ile tanımlanırlar.

## ✓ ÖRNEK:



$$Q = (A.B) + C$$

## ✓ ÖRNEK:

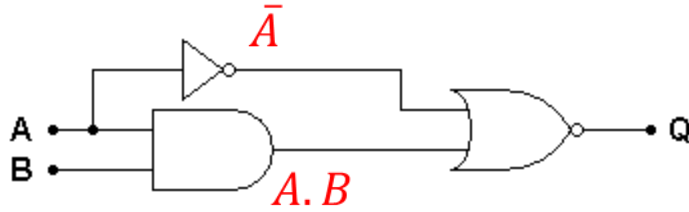


$$Q = (A + B).C$$



# LOJİK DEVRELER VE İFADELER

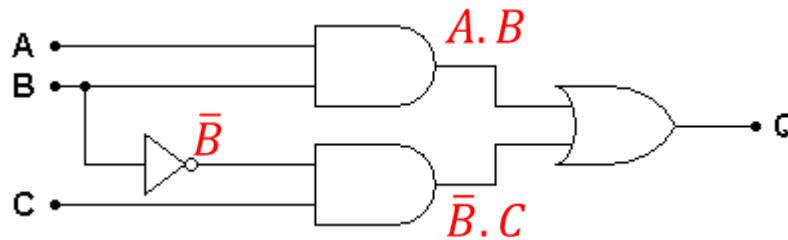
✓ ÖRNEK:



$$Q = \overline{\bar{A} + (A.B)}$$

# LOJİK DEVRELER VE İFADELER

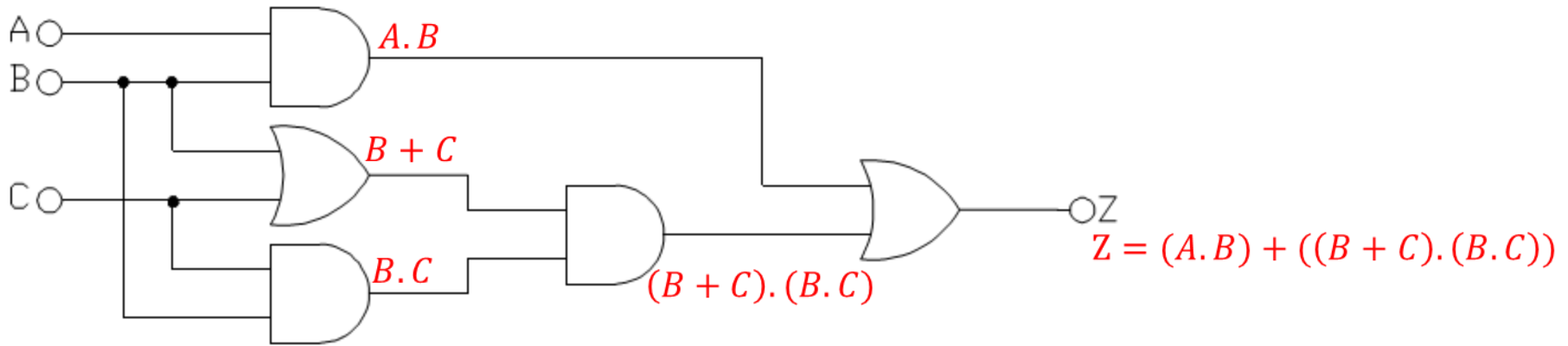
✓ ÖRNEK:



$$Q = (A.B) + (\bar{B}.C)$$

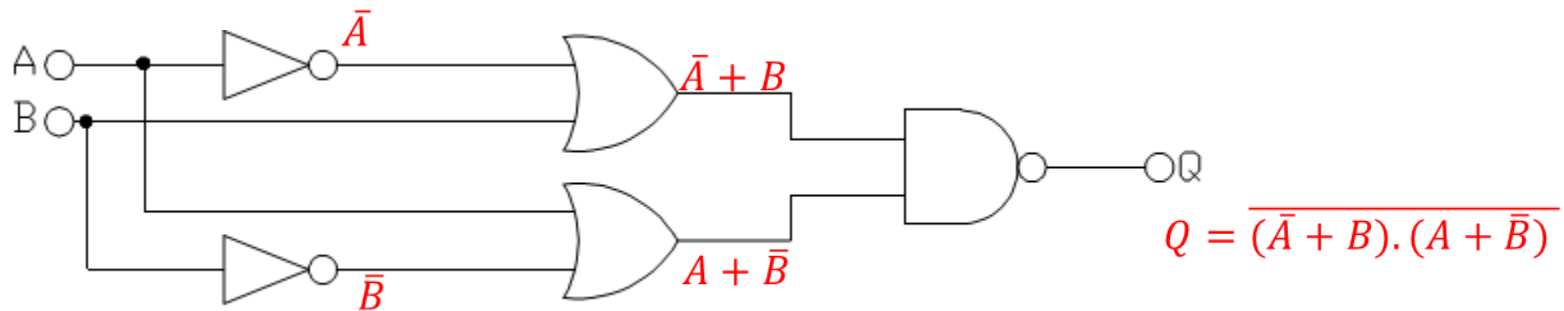
# LOJİK DEVRELER VE İFADELER

✓ ÖRNEK:



# LOJİK DEVRELER VE İFADELER

✓ ÖRNEK:



# BOOLEAN MATEMATİĞİ VE LOJİK İFADELERİN SADELEŞTİRİLMESİ

- ✓ 1850'li yıllarda George Boole tarafından geliştirilen Boolean matematiği kuralları, 'VE', 'VEYA' ve 'DEĞİL' temel mantıksal işlemlerinden oluşan sembolik bir sistemdir.
- ✓ George Boole, temel mantıksal işlemleri kullanılarak toplama, çıkarma, çarpma, bölme ve karşılaştırma işlemleri yapabiliyordu. Bu işlemler temelde ikili işlemlerdi ve bu nedenle birbirinin tersi olan iki durumla açıklanabiliyordu:
- ✓ Doğru – Yanlış, Evet – Hayır, Açık – Kapalı, '1' – '0', vb.
- ✓ Başlangıçta pratik olarak görülmeyen sistem, daha sonraları yaygın olarak kullanılmaya başlandı ve 'Boolean Matematiği/Cebiri' veya 'Boolean Kuralları' olarak isimlendirildi.
- ✓ İkili sayı sistemi ile birleştirilen Boolean kuralları, sayısal elektronik devrelerin (buna bağlı olarak bilgisayarların) temelini oluşturdu.
- ✓ Her sistemin kendi içerisinde kuralları olması gibi, Boolean matematiğinde de kendi içerisinde kuralları vardır. Sadeleştirme işlemini gerçekleştirmede kullanılan bu kuralları genel hatları ile inceleyelim.

# BOOLEAN MATEMATİĞİ VE LOJİK İFADELERİN SADELEŞTİRİLMESİ

## ✓ 1. TEMEL ÖZELLİKLER:

✓ Boolean matematiğindeki temel özellikler, etkisiz eleman, birim eleman, yutan eleman ve ters eleman olarak sıralanabilir.

### ✓ Toplamada etkisiz eleman ( Lojik 0 )

✓  $A + 0 = A$

✓  $0 + 0 = 0$

✓  $1 + 0 = 1$

### ✓ Çarpmada etkisiz eleman (Lojik 1)

✓  $A \cdot 1 = A$

✓  $0 \cdot 1 = 0$

✓  $1 \cdot 1 = 1$

### ✓ Toplamada birim eleman

✓  $A + 1 = 1$

✓  $0 + 1 = 1$

✓  $1 + 1 = 1$

### ✓ Çarpmada yutan eleman

✓  $A \cdot 0 = 0$

✓  $0 \cdot 0 = 0$

✓  $1 \cdot 0 = 0$

✓ **Ters eleman:** Bir lojik değişkenin değeri '0' ise tersi(değili) '1'dir. Değişken '1' ise tersi(değili) '0'dır.  $A'$  veya  $\bar{A}$  olarak gösterilir. Aynı zamanda bir değişkenin tersinin tersi kendisidir.

✓  $A = 0 \rightarrow A' = 1$

✓  $A = 1 \rightarrow A' = 0$

✓  $A - A''$

# BOOLEAN MATEMATİĞİ VE LOJİK İFADELERİN SADELEŞTİRİLMESİ

## ✓ 1. TEMEL ÖZELLİKLER:

### ✓ Toplama ve çarpma işlemleri

✓  $A + A' = 1$

✓  $0 + 1 = 1$

✓  $1 + 0 = 1$

✓  $A \cdot A' = 0$

✓  $0 \cdot 1 = 0$

✓  $1 \cdot 0 = 0$

✓  $A + A = A$

✓  $0 + 0 = 0$

✓  $1 + 1 = 1$

✓  $A \cdot A = A$

✓  $0 \cdot 0 = 0$

✓  $1 \cdot 1 = 1$





# BOOLEAN MATEMATİĞİ VE LOJİK İFADELERİN SADELEŞTİRİLMESİ

## ✓ 5. DAĞILMA KANUNU

- ✓ Gerek toplamanın çarpma üzerindeki gerekse çarpmanın toplama üzerindeki dağılma özellikleri olarak tanımlanan kanunlar, aynı şekli ile boolean matematiğinde de kullanılmaktadır.
- ✓  $A \cdot (B + C) = (A \cdot B) + (A \cdot C)$
- ✓  $A + (B \cdot C) = (A + B) \cdot (A + C)$

## ✓ 6. YUTMA KANUNU

- ✓ Yalnızca boolean matematiğinde geçerli olan kurallardan bir diğeri yutma kanunudur.
- ✓  $A + (A \cdot B) = A$
- ✓  $A \cdot (A + B) = A$

## ✓ 7. BASİTLEŞTİRME KANUNU

- ✓ Toplama ve çarpma işlemlerinde geçerli olan basitleştirme kanunu aynı şekli ile Boolean matematiğinde de geçerlidir.
- ✓  $A + (A' \cdot B) = A + B$
- ✓  $A \cdot (A' + B) = A \cdot B$

# BOOLEAN MATEMATİĞİ VE LOJİK İFADELERİN SADELEŞTİRİLMESİ

## ✓ 8. DE MORGAN KANUNLARI

- ✓ VEYADEĞİL ve VEDEĞİL işlemlerinden faydalanarak uygulanan ve lojik işlemlerde kolaylıklar sağlayan kurallar 'De Morgan Kanunları' olarak isimlendirilir.
- ✓  $\overline{A \cdot B} = \bar{A} + \bar{B}$
- ✓  $\overline{A + B} = \bar{A} \cdot \bar{B}$

# DOĞRULUK TABLOLARI

- ✓ Lojik devrelerde, giriş deęişkenlerinin alabilecekleri sayısal deęerleri (kombinasyonları) ve sayısal deęerlere göre çıkışların durumunu gösteren tablolar, 'doęruluk tablosu' olarak isimlendirilir.
- ✓ Doęruluk tabloları oluşturulurken, giriş deęişken sayısına göre durum ifadesi ortaya çıkar. 'n' tane deęişken için  $2^n$  deęişik durum oluşur.
- ✓ Örneęin; 2 deęişkenli bir ifade için  $2^2 = 4$  deęişik durum, 3 deęişkenli bir ifade için  $2^3 = 8$  deęişik durum elde edilir.
- ✓ **ÖRNEK:** Giriş deęişkenlerinin A ve B olduęu bir sistemde  $A+B$  işlemi gerçekleştirildięine göre sisteme ait doęruluk tablosunu oluşturunuz.

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

# DOĞRULUK TABLOLARI

✓ **ÖRNEK:** De Morgan teoremlerini doğruluk tablosu ile ispatlayalım.

✓  $\overline{A \cdot B} = \bar{A} + \bar{B}$

A	B	$\overline{A \cdot B}$	$\bar{A} + \bar{B}$
0	0	1	1
0	1	1	1
1	0	1	1
1	1	0	0

✓  $\overline{A + B} = \bar{A} \cdot \bar{B}$

A	B	$\overline{A + B}$	$\bar{A} \cdot \bar{B}$
0	0	1	1
0	1	0	0
1	0	0	0
1	1	0	0

# DOĞRULUK TABLOLARI

✓ **ÖRNEK:** Yutma kanunu eşitliklerini doğruluk tablosu ile ispatlayalım.

✓  $A + (A \cdot B) = A$

A	B	$A + (A \cdot B)$
0	0	0
0	1	0
1	0	1
1	1	1

✓  $A \cdot (A + B) = A$

A	B	$A \cdot (A + B)$
0	0	0
0	1	0
1	0	1
1	1	1

# TEMEL AÇILIMLAR

- ✓ Daha önceki konularda bahsedildiği üzere, bir binary değişkeni, ya kendi normal formu olan  $A$  olarak veya değili olan  $A'$  formu ile ifade edilebilir.
- ✓ Bu formlarla ifade edilebilen değişkenler fonksiyon halini aldığı zaman; 'canonical form' (kanun-kaide) olarak adlandırılan 'minterm' (çarpımların toplamı) veya 'maxterm' (toplamların çarpımı) modellerinden biri ile gösterilirler.

Giriş Değişkenleri			Mintermler		Maxtermler	
A	B	C	Terim	İsim	Terim	İsim
0	0	0	$A'B'C'$	$m_0$	$A+B+C$	$M_0$
0	0	1	$A'B'C$	$m_1$	$A+B+C'$	$M_1$
0	1	0	$A'BC'$	$m_2$	$A+B'+C$	$M_2$
0	1	1	$A'BC$	$m_3$	$A+B'+C'$	$M_3$
1	0	0	$AB'C'$	$m_4$	$A'+B+C$	$M_4$
1	0	1	$AB'C$	$m_5$	$A'+B+C'$	$M_5$
1	1	0	$ABC'$	$m_6$	$A'+B'+C$	$M_6$
1	1	1	$ABC$	$m_7$	$A'+B'+C'$	$M_7$

# TEMEL AÇILIMLAR

- ✓ Bir boolean ifadede bulunan deęişkenlerin sahip olduęu veya oluşturabileceęi kombinasyonların 'VE' (çarpım) işlemi sonucunda 1 olacak şekilde uyarlanmasına (deęişkenin deęeri 1 ise olduęu gibi alınıp, 0 ise deęili ile ifade edilerek), 'minterm' denir.
- ✓ Aynı yolla, deęişkenlerin kombinasyonlarının 'VEYA' (toplama) işlemi sonucunda 0 deęerini almasını sağlayacak şekilde deęişkenlerin şekillendirilmesine 'maxterm' denir.
- ✓ Tabloda üç deęişkenli bir sistemde deęişkenlerin oluşturabileceęi kombinasyonlar ve bu kombinasyonlarda elde edilecek minterm ve maxterm terimleri verilmiştir.
- ✓ Bir Boolean fonksiyonu doğruluk tablosundan belirli kombinasyonların seçilmesi, seçilen kombinasyonların sonuç olacak şekilde formlandırılması ve formlandırılan kombinasyonların toplanması ('VEYA' işlemine tabi tutulması) şeklinde tanımlanabilir.

# DOĞRULUK TABLOLARI

- ✓ **ÖRNEK:** Aşağıdaki tabloda f fonksiyonunu minterm ve maxterm formu ile tanımlayalım.

A	B	C	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

## ✓ MİNTERMLERİN TOPLAMI

Çıkış fonksiyonunda '1' olarak tanımlanan kombinasyonlardaki değişken değerleri 001, 100 ve 111 olduğundan, bu kombinasyonları temsil eden değişkenler fonksiyon olarak,

$$Q = m_1 + m_4 + m_7 = A'B'C + AB'C' + ABC$$

şeklinde ifade edilir.

## ✓ MAXTERMLERİN ÇARPIMI

Çıkış fonksiyonunda '0' olarak tanımlanan kombinasyonlar referans olarak alınır, kombinasyonları temsil eden değişkenler fonksiyon olarak;

$$Q = M_0 \cdot M_2 \cdot M_3 \cdot M_5 \cdot M_6$$

$$Q = (A+B+C) \cdot (A+B'+C) \cdot (A+B'+C') \cdot (A'+B+C') \cdot (A'+B'+C)$$

şeklinde tanımlanır.



# DOĞRULUK TABLOLARI

- ✓ Mintermlerin toplamı olarak ifade edilmek istenen bir fonksiyon 'Σ' sembolü ile belirtilir.
- ✓ Bu sembolün kullanıldığı durumlarda fonksiyon;

$$Q(A,B,C) = m_1 + m_4 + m_7 = A'B'C + AB'C' + ABC$$

$$Q(A, B, C) = \sum (1,4,7)$$

şeklinde ifade edilir.

- ✓ Maxtermlerin çarpımı olarak ifade edilmek istenen bir fonksiyon ise 'Π' sembolü ile belirtilir.
- ✓ Bu sembolün kullanıldığı durumlarda fonksiyon;

$$Q = M_0 \cdot M_2 \cdot M_3 \cdot M_5 \cdot M_6$$

$$Q(A,B,C) = (A+B+C) \cdot (A+B'+C) \cdot (A+B'+C') \cdot (A'+B+C') \cdot (A'+B'+C)$$

$$Q(A, B, C) = \prod (0,2,3,5,6)$$

şeklinde ifade edilir.

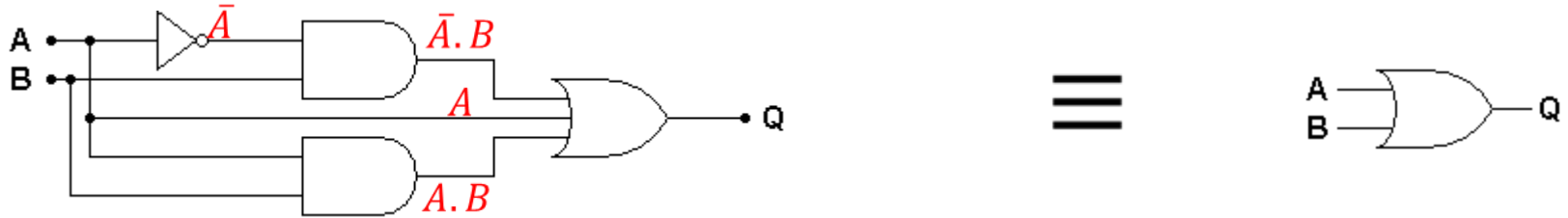
# DOĞRULUK TABLOLARI

- ✓ **ÖRNEK:**  $Q = A\bar{B}C + ABC + \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC\bar{C}$  ifadesine ait lojik devreyi çiziniz. Çıkış ifadesine ait doğruluk tablosunu oluşturunuz.

# BOOLEAN MATEMATİĞİ VE LOJİK İFADELERİN SADELEŞTİRİLMESİ

- ✓ Lojik ifadeler boolean matematiği kurallarından faydalanılarak sadeleştirilebilir.
- ✓ Bir mantıksal ifadenin sadeleştirilmesi ile elde edilen lojik devre, sadeleştirme işlemi öncesindeki lojik devre ile aynı işlevi görür.
- ✓ Sadeleştirme işlemi bize kullanılacak malzemedan ve devre işçiliğinden önemli ölçüde avantaj sağlar.

- ✓ **ÖRNEK:**  $Q = \bar{A} \cdot B + A + A \cdot B$  mantıksal ifadesine ait lojik devreyi çiziniz. İfadeyi sadeleştiriniz. Sadeleştirme işlemi sonrasında elde edilen lojik devreyi çiziniz.



- ✓  $Q = \bar{A} \cdot B + \underbrace{(A + A \cdot B)}_A = A + \bar{A} \cdot B = \underbrace{(A + \bar{A})}_1 \cdot (A + B) = A + B$

# BOOLEAN MATEMATİĞİ VE LOJİK İFADELERİN SADELEŞTİRİLMESİ

✓ **ÖRNEK:**  $Q = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + A\bar{B}\bar{C} + A\bar{B}C$  ifadesini sadeleştiriniz.

# BOOLEAN MATEMATİĞİ VE LOJİK İFADELERİN SADELEŞTİRİLMESİ

✓ **ÖRNEK:**  $Q = AC + \bar{A}C + \bar{C}$  ifadesini sadeleştiriniz.

# BOOLEAN MATEMATİĞİ VE LOJİK İFADELERİN SADELEŞTİRİLMESİ

✓ **ÖRNEK:**  $Q = (\bar{A} + B)(A + B)$  ifadesini sadeleştiriniz.